

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-030487

(43)Date of publication of application : 28.01.2000

(51)Int.Cl.

G11C 29/00
G11C 11/401
H01L 27/10

(21)Application number : 10-201613

(71)Applicant : HITACHI LTD

(22)Date of filing : 16.07.1998

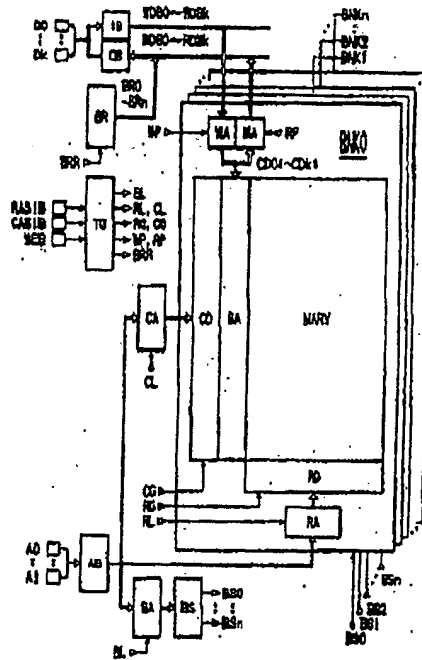
(72)Inventor : HASHIMOTO TAKESHI
NAKAI KIYOSHI
ITO YUTAKA

(54) SEMICONDUCTOR STORAGE DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To improve the reliability by enhancing the product yield of a dynamic tape RAM, etc., provided with a lot of banks and by achieving a memory module of the dynamic type RAM, etc., which cannot be accessed to.

SOLUTION: A dynamic type RAM, etc., provided with a lot of banks BNK0- BNKn containing redundant elements for defect relief is provided with a bank- enable register BR in which each of the banks detects more defective elements than the number of redundant elements to be installed and stores the unrelievable and unaccessible state and product-ships the dynamic RAM, etc., as mostly good memories. Moreover, prescribed pieces of this are combined in a chip state to form a memory module, this module is provided with a memory controller in which the memory contents of the bank-enable register BR of the each dynamic RAM, etc., are read and the address allocation is performed to the each bank and the each dynamic RAM, etc., is provided with a bank selecting circuit BS which selectively prohibits access to the each bank according to the storage contents of the bank-enable register BR.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-30487

(P 2000-30487A)

(43) 公開日 平成12年1月28日(2000.1.28)

(51) Int. Cl.	識別記号	F I	7-マコード (参考)
G11C 29/00	605	G11C 29/00	605 C 5B024
11/401		H01L 27/10	311 5F083
H01L 27/10	311	G11C 11/34	362 H 5L106
			371 D

審査請求 未請求 請求項の数 6 O L (全14頁)

(21) 出願番号 特願平10-201613

(22) 出願日 平成10年7月16日(1998.7.16)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 橋本 剛

東京都青梅市新町六丁目16番地の3 株式

会社日立製作所デバイス開発センタ内

(72) 発明者 中井 潔

東京都青梅市新町六丁目16番地の3 株式

会社日立製作所デバイス開発センタ内

(74) 代理人 100081938

弁理士 徳若 光政

最終頁に続く

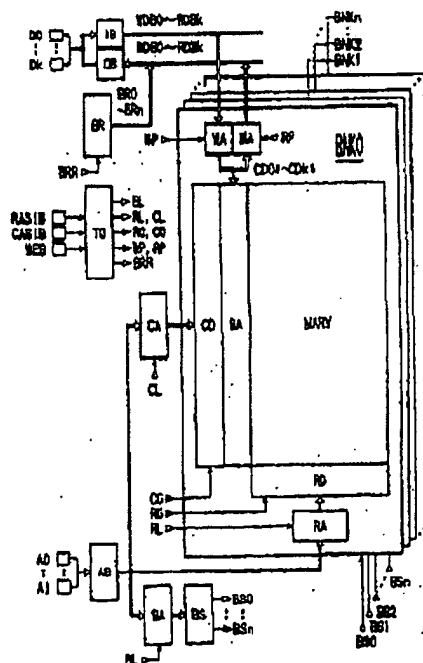
(54) 【発明の名称】 半導体記憶装置

(57) 【要約】 (修正有)

【課題】 多数のバンクを備えるダイナミック型RAM等の製品歩留りを高め、アクセス不能なダイナミック型RAM等のメモリモジュールを実現し、信頼性を高める。

【解決手段】 欠陥救済用の冗長素子を含む多数のバンクBNK0~BNKnを備えるダイナミック型RAM等に、各バンクが冗長素子の設置数より多い欠陥素子を検出し、救済不能でアクセス不能状態を記憶するバンクイネーブルレジスタBRを設け、該ダイナミック型RAM等を、モーストリ・グッド・メモリとして製品出荷する。また、該を所定数個、チップ状態で総合させメモリモジュールを構成し、該に、各ダイナミック型RAM等のバンクイネーブルレジスタの記憶内容を読出し、各バンクにアドレス割当てを行うメモリコントローラを設け、各ダイナミック型RAM等に、バンクイネーブルレジスタBRの記憶内容に従い各バンクに対するアクセスを選択的に禁止するバンク選択回路BSを設ける。

図1 ダイナミック型RAMのブロック構成(実施例1)



(2)

特開2000-30487

2

【特許請求の範囲】

【請求項1】 実質的なロウアドレスの保持手段及びデコード手段をそれぞれ含み、ワード線選択動作をそれぞれ独立に行いうる複数のバンクと、

該バンクのそれぞれが障害によりアクセス不能な状態にあることを記憶するバンクイネーブルレジスタとを具備することを特徴とする半導体記憶装置。

【請求項2】 請求項1において、

上記バンクは、欠陥救済のための冗長素子をそれぞれ含み、かつ、該冗長素子による欠陥救済が不能となったときそれぞれ選択的に上記アクセス不能な状態とされるものであることを特徴とする半導体記憶装置。

【請求項3】 請求項1又は請求項2において、

上記バンクイネーブルレジスタの記憶内容は、必要に応じて外部のアクセス装置に出力しうるものとされることを特徴とする半導体記憶装置。

【請求項4】 請求項1、請求項2又は請求項3において、

上記バンクイネーブルレジスタは、上記バンクのそれぞれに対応して設けられる複数の単位バンクイネーブルレジスタを含むものであって、

該単位バンクイネーブルレジスタのそれぞれは、対応する上記バンクがアクセス不能な状態にあるとき選択的に切断状態とされるヒューズを含むものであることを特徴とする半導体記憶装置。

【請求項5】 請求項1、請求項2、請求項3又は請求項4において、

上記バンクのそれぞれに対するアクセスは、上記バンクイネーブルレジスタの対応する記憶内容に従ってそれぞれ選択的に禁止しうるものとされることを特徴とする半導体記憶装置。

【請求項6】 請求項1、請求項2、請求項3、請求項4又は請求項5において、

上記半導体記憶装置は、それぞれ1個のチップ面上に形成されるものであり、チップ状態の所定数個をもってメモリモジュールを構成するものであって、

該メモリモジュールは、上記所定数個の半導体記憶装置の上記バンクイネーブルレジスタの記憶内容を読み出し、アドレス割り当てを行うメモリコントローラを具備するものであることを特徴とする半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は半導体記憶装置に関し、例えば、多数のバンクを備えるダイナミック型RAM（ランダムアクセスメモリ）等ならびにその製品歩留りの向上に利用して特に有効な技術に関するものである。

【0002】

【従来の技術】 直交して配置されるワード線及びビット線ならびにこれらのワード線及びビット線の交点に格子

配置されるダイナミック型メモリセルを含むメモリアレイをその基本構成要素とするダイナミック型RAM等の半導体記憶装置がある。また、このようなダイナミック型RAM等のメモリアレイに所定数の冗長ワード線及び冗長ビット線を設け、これらの冗長ワード線及び冗長ビット線を障害が検出されたワード線又はビット線と選択的に置き換えることによりダイナミック型RAM等の製品歩留りを高めるいわゆる欠陥救済方式が知られている。

【0003】 一方、近年における半導体集積回路の微細化・高集積化技術の進歩は目覚ましく、ダイナミック型RAM等もその恩恵を受けて大容量化・大規模化の一途にある。また、このような中、ダイナミック型RAM等の高速化を推進する一つの手段として、メモリアレイ及び周辺回路を多数のバンクに分割して並列アクセスするいわゆる多バンク化が一般的となりつつあり、例えば8個又は16個といった比較的多数のバンクを備えるダイナミック型RAMが製品化されつつある。ダイナミック型RAMに設けられるバンクのそれぞれは、ワード線選択用のロウアドレスを保持するロウアドレスレジスタと、ロウアドレスをデコードして指定されたワード線を択一的に選択状態とするロウアドレスデコーダとをそれぞれ含み、各バンクでは、ワード線を選択動作がそれぞれ独立に行われ、それぞれ異なるロウアドレスが割り当てられたワード線が同時に選択状態とされる。

【0004】

【発明が解決しようとする課題】 本願発明者等は、この発明に先立って、上記のような多バンク型ダイナミック型RAMの開発に従事し、次の問題点に気付いた。すなわち、このダイナミック型RAMは多数のバンクを備え、これらのバンクのそれぞれは、欠陥救済のための所定数の冗長ワード線及び冗長ビット線を含む。ところが、冗長ワード線及び冗長ビット線による欠陥救済は、バンクを単位として行われるため、いずれかのバンクで救済しきれない欠陥ワード線又はビット線が出た場合、他のバンクに使用されない冗長ワード線又は冗長ビット線が残されていたとしてもこれを救済することができない。この結果、ダイナミック型RAMは不良品となって出荷できず、これによってダイナミック型RAMの製品歩留りが低下する。

【0005】 この発明の目的は、多数のバンクを備えるダイナミック型RAM等の製品歩留りを高めることにある。この発明の他の目的は、アクセス不能なダイナミック型RAM等を例えばチップ状態で組み合わせて構成しうるメモリモジュールを実現し、メモリモジュールの信頼性を高めることにある。

【0006】 この発明の前記ならびにその他の目的と新規な特徴は、この明細書の記述及び添付図面から明らかになるであろう。

【0007】

(3)

特開2000-30487

3

4

【課題を解決するための手段】本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、次の通りである。すなわち、欠陥救済用の冗長素子をそれぞれ含む多数のバンクを備えるダイナミック型RAM等に、各バンクが例えば冗長素子の設置数より多い欠陥素子が検出され、救済不能となってアクセス不能な状態となったことを記憶するバンクイネーブルレジスタを設けるとともに、アクセス不能となったバンクを含むダイナミック型RAM等を、モーストリ・グッド・メモリ(MGM: Mostly Good Memory)として製品出荷する。また、このようなダイナミック型RAM等を所定数個、チップ状態で組み合わせてメモリモジュールを構成し、このメモリモジュールに、各ダイナミック型RAM等のバンクイネーブルレジスタの記憶内容を読み出し、各ダイナミック型RAM等の各バンクにアドレス割り当てを行うメモリコントローラを設ける。さらに、各ダイナミック型RAM等に、バンクイネーブルレジスタの記憶内容に従って各バンクに対するアクセスを選択的に禁止するバンク選択回路を設ける。

【0008】上記した手段によれば、アクセス不能となったバンクを含むダイナミック型RAM等を製品出荷し、ダイナミック型RAM等の製品歩留りを高めることができる。また、このようなダイナミック型RAM等を任意なアドレス割り当てで組み合わせ、所望の記憶容量を有するメモリモジュールを容易に構成することができるとともに、メモリモジュールの信頼性を高めることができる。

【0009】

【発明の実施の形態】図1には、この発明が適用されたダイナミック型RAMの第1の実施例のブロック図が示されている。同図をもとに、この実施例のダイナミック型RAMの構成及び動作の概要について説明する。なお、図1の各ブロックを構成する回路素子は、特に制限されないが、公知のMOSFET(金属酸化半導体型電界効果トランジスタ。この明細書では、MOSFETをして絶縁ゲート型電界効果トランジスタの総称とする)集積回路の製造技術により、単結晶シリコンのような1個のチップ(半導体基板)面上に形成される。また、バンクBNK0~BNKnのメモリアレイMARYは、実際にはシェアドセンス方式をとり、メモリアレイ及びその周辺回路は、多数のサブメモリアレイに分割されるが、このことは本発明の主旨に直接関係ないため、簡素化して示した。

【0010】図1において、この実施例のダイナミック型RAMは、 $n+1$ 個のバンクBNK0~BNKnを備え、各バンクは、そのレイアウト面積の大半を占めて配置されるメモリアレイMARYと、周辺回路たるロウアドレスレジスタRA、ロウアドレスデコーダRD、センスアンプSA、カラムアドレスデコーダCDならびにライトアンプWA及びメインアンプMAとをそれぞれ備え

る。

【0011】バンクBNK0~BNKnを構成するメモリアレイMARYは、図の垂直方向に平行して配置される所定数のワード線ならびに欠陥救済用の所定数の冗長ワード線と、水平方向に平行して配置される所定数組の相補ビット線ならびに欠陥救済用の所定数組の冗長ビット線とをそれぞれ含む。これらのワード線及びビット線の交点には、情報蓄積キャパシタ及びアドレス選択MOSFETからなる多数のダイナミック型メモリセルがそれぞれ格子状に配置される。

【0012】バンクBNK0~BNKnのメモリアレイMARYを構成するワード線及び冗長ワード線は、対応するロウアドレスデコーダRDに結合され、それぞれ択一的に選択状態とされる。バンクBNK0~BNKnのロウアドレスデコーダRDには、対応するロウアドレスレジスタRAから所定ビットの内部Xアドレス信号がそれぞれ供給されるとともに、タイミング発生回路TGから内部制御信号RGが共通に供給される。また、各バンクのロウアドレスレジスタRAには、アドレスバッファABから所定ビットのXアドレス信号が共通に供給されるとともに、タイミング発生回路TGから内部制御信号RLが共通に供給される。さらに、アドレスバッファABには、外部のアクセス装置からアドレス入力端子A0~Ajを介してj+1ビットのアドレス信号A0~Ajが供給されるとともに、タイミング発生回路TGから図示されない内部制御信号CEが供給される。

【0013】アドレスバッファABは、外部のアクセス装置からアドレス入力端子A0~Ajを介して供給されるアドレス信号A0~Ajを内部制御信号CEに従って取り込み、入力アドレス信号として出力する。この入力アドレス信号の上位所定ビットは、バンクアドレス信号としてバンクアドレスレジスタBAに供給される。また、下位所定ビットは、Xアドレス信号としてバンクBNK0~BNKnのロウアドレスレジスタRAに共通に供給され、あるいはYアドレス信号としてカラムアドレスレジスタCAに供給される。バンクアドレスレジスタBAには、さらにタイミング発生回路TGから内部制御信号BLが供給され、その出力信号たる内部バンクアドレス信号は、バンク選択回路BSに供給される。

【0014】バンクアドレスレジスタBAは、アドレスバッファABを介して入力されるバンクアドレス信号を内部制御信号BLに従って取り込み、保持するとともに、内部バンクアドレス信号としてバンク選択回路BSに伝達する。また、バンク選択回路BSは、バンクアドレスレジスタBAから供給される内部バンクアドレス信号をデコードして、バンク選択信号BS0~BSnの対応するビットを択一的にハイレベルとする。これらのバンク選択信号BS0~BSnは、対応するバンクBNK0~BNKnにそれぞれ供給され、その周辺回路たるロウアドレスレジスタRA、ロウアドレスデコーダRD、

(4)

特開2000-30487

5

6

カラムアドレスデコーダCD、センスアンプSAならびにライトアンプWA及びメインアンプMA等を選択的に動作状態とするための駆動選択信号として用いられる。

【0015】実質的なロウアドレスの保持手段たるロウアドレスレジスタRAは、バンク選択信号BS0~BSnの対応するビットがハイレベルとされるとき、アドレスバッファABから伝達されるXアドレス信号を内部制御信号RLに従って取り込み保持するとともに、これらのXアドレス信号をもとに内部Xアドレス信号を形成し、対応するロウアドレスデコーダRDに供給する。また、デコード手段たるロウアドレスデコーダRDは、内部制御信号RGがハイレベルとされかつバンク選択信号BS0~BSnの対応するビットがハイレベルとされることでそれぞれ選択的に動作状態となり、対応するロウアドレスレジスタRAから供給される内部Xアドレス信号をデコードし、あるいは各冗長ワード線に割り当てられた不良アドレスと比較照合して、対応するメモリアレイMARYの指定されたワード線又は冗長ワード線を択一的に選択状態とする。これにより、バンクBNK0~BNKnは、そのロウアドレスレジスタRAにそれぞれ異なるXアドレス信号を取り込み、それぞれ独立したワード線選択動作を行うことができる。

【0016】次に、バンクBNK0~BNKnのメモリアレイMARYを構成する相補ビット線及び冗長ビット線は、対応するセンスアンプSAにそれぞれ結合される。各バンクのセンスアンプSAには、対応するカラムアドレスデコーダCDから図示されない所定ビットのビット線選択信号及び冗長ビット線選択信号がそれぞれ供給され、タイミング発生回路TGから内部制御信号PA及び図示されない内部制御信号PCが共通に供給される。また、バンクBNK0~BNKnのカラムアドレスデコーダCDには、カラムアドレスレジスタCAから所定ビットの内部Yアドレス信号が共通に供給され、タイミング発生回路TGから内部制御信号CGが共通に供給される。カラムアドレスレジスタCAには、アドレスバッファABから所定ビットのYアドレス信号が供給され、タイミング発生回路TGから内部制御信号CL及び図示されない内部クロック信号CUが供給される。

【0017】カラムアドレスレジスタCAは、内部クロック信号CUに従って歩進動作を行うバイナリカウンタを含む。このバイナリカウンタは、アドレスバッファABから供給されるYアドレス信号を内部制御信号CLに従って取り込み、保持するとともに、これらのYアドレス信号を計数初期値として内部クロック信号CUに従った歩進動作を行い、内部Yアドレス信号を順次形成して、バンクBNK0~BNKnのカラムアドレスデコーダCDに供給する。

【0018】バンクBNK0~BNKnのカラムアドレスデコーダCDは、内部制御信号CGがハイレベルとされかつバンク選択信号BS0~BSnの対応するビット

がハイレベルとされることで選択的に動作状態となり、カラムアドレスレジスタCAから供給される内部Yアドレス信号をデコードし、あるいは各冗長ビット線に割り当てられた不良アドレスと比較照合して、ビット線選択信号又は冗長ビット線選択信号の対応するビットを択一的にハイレベルとする。

【0019】バンクBNK0~BNKnのセンスアンプSAは、メモリアレイMARYの各相補ビット線に対応して設けられる所定数の単位回路を含み、これらの単位回路のそれぞれは、ビット線プリチャージ回路、単位増幅回路ならびに一对のスイッチMOSFETを含む。このうち、各単位回路のビット線プリチャージ回路は、内部制御信号PCのハイレベルを受けて選択的にかつ一斉に動作状態となり、メモリアレイMARYの対応する相補ビット線の非反転及び反転信号線をそれぞれ所定の中間電位にプリチャージする。また、各単位回路の単位増幅回路は、内部制御信号PAがハイレベルとされかつバンク選択信号BS0~BSnの対応するビットがハイレベルとされることで選択的にかつ一斉に動作状態となり、対応するメモリアレイMARYの選択ワード線に結合された所定数のメモリスルから対応する相補ビット線を介して出力される微小読み出し信号をそれぞれ増幅して、ハイレベル又はロウレベルの2値読み出し信号とする。

【0020】一方、センスアンプSAの各単位回路のスイッチMOSFETは、カラムアドレスデコーダCDから供給されるビット線選択信号又は冗長ビット線選択信号の対応するビットが択一的にハイレベルとされることでk+1組ずつ選択的にオン状態となり、メモリアレイMARYの対応するk+1組の相補ビット線又は冗長ビット線と相補共通データ線CD0*~CDk*（ここで、例えば非反転共通データ線CD0及び反転共通データ線CD0Bを、合わせて相補共通データ線CD0*のように*を付して表す。また、それが有効とされるとき選択的にロウレベルとされるいわゆる反転信号等については、その名称の末尾にBを付して表す。以下同様）との間を選択的に接続状態とする。

【0021】相補共通データ線CD0*~CDk*は、ライトアンプWA及びメインアンプMAに結合される。ライトアンプWAは、その他方において書き込みデータバスWDB0~WDBkを介してデータ入力バッファIBに結合され、メインアンプMAは、その他方において読み出しデータバスRDB0~RDBkを介してデータ出力バッファOBに結合される。各バンクのライトアンプWA及びメインアンプMAは、相補共通データ線CD0*~CDk*に対応して設けられるk+1個の単位ライトアンプ及び単位メインアンプを備え、データ入力バッファIB及びデータ出力バッファOBは、データ入出力端子DO~DKに対応して設けられるk+1個の単位入力バッファ又は単位出力バッファを備える。

(5)

特開2000-30487

8

7

【0022】バンクBNK0~BNKnのライトアンブWAの各単位ライトアンブの出力端子ならびにメインアンブMAの各単位メインアンブの出力端子は、対応する相補共通データ線CD0*~CDk*にそれぞれ共通結合される。また、ライトアンブWAの各単位ライトアンブの入力端子は、書き込みデータバスWDB0~WDBkを介してデータ入力バッファIBの対応する単位入力バッファの出力端子に結合され、メインアンブMAの各単位メインアンブの出力端子は、読み出しデータバスRDB0~RDBkを介してデータ出力バッファOBの対応する単位出力バッファの出力端子に結合される。データ入力バッファIBの各単位入力バッファの入力端子及びデータ出力バッファOBの各単位出力バッファの出力端子は、対応するデータ入出力端子D0~Dkにそれぞれ共通結合される。

【0023】ライトアンブWAの各単位ライトアンブには、タイミング発生回路TGから内部制御信号WPが共通に供給され、メインアンブMAの各単位メインアンブには図示されない内部制御信号RPが供給される。また、データ入力バッファIBの各単位入力バッファには、タイミング発生回路TGから図示されない内部制御信号CEが共通に供給され、データ出力バッファOBの各単位出力バッファには図示されない内部制御信号OCが共通に供給される。

【0024】データ入力バッファIBの各単位入力バッファは、ダイナミック型RAMが書き込みモードで選択状態とされるとき、内部制御信号CEのハイレベルを受けて選択的に動作状態となり、外部のアクセス装置からデータ入出力端子D0~Dkを介して入力されるk+1ビットの書き込みデータを取り込み、保持するとともに、書き込みデータバスWDB0~WDBkを介してバンクBNK0~BNKnのライトアンブWAの対応する単位ライトアンブに伝達する。このとき、ライトアンブWAの各単位ライトアンブは、内部制御信号WPがハイレベルとされかつバンク選択信号BS0~BSnの対応するビットがハイレベルとされることで選択的に動作状態となり、データ入力バッファIBから伝達される書き込みデータを所定の相補書き込み信号とした後、相補共通データ線CD0*~CDk*を介してメモリアレイMARYのk+1個の選択メモリセルに書き込む。

【0025】一方、各バンクのメインアンブMAの各単位メインアンブは、ダイナミック型RAMが読み出しモードで選択状態とされるとき、内部制御信号RPがハイレベルとされかつバンク選択信号BS0~BSnの対応するビットがハイレベルとされることで選択的に動作状態となり、メモリアレイMARYの選択されたk+1個のメモリセルから相補共通データ線CD0*~CDk*を介して出力される読み出し信号を増幅した後、読み出しデータバスRDB0~RDBkを介してデータ出力バッファOBの対応する単位出力バッファに伝達する。こ

のとき、データ出力バッファOBの各単位出力バッファは、内部制御信号OCのハイレベルを受けて選択的に動作状態となり、メインアンブMAから供給される読み出しデータをデータ入出力端子D0~Dkを介して外部に出力する。

【0026】この実施例において、ダイナミック型RAMは、さらに、バンクイネーブルレジスタBRを備える。このバンクイネーブルレジスタBRには、タイミング発生回路TGから内部制御信号BRRが供給され、その出力信号は、バンクイネーブル信号BR0~BRnとして読み出しデータバスRDB0~RDBkに出力される。なお、内部制御信号BRRは、通常つまりダイナミック型RAMが非選択状態とされるときロウレベルとされ、ダイナミック型RAMが所定の動作モードつまりバンクイネーブルレジスタ読み出しモードで選択状態とされるとき、所定のタイミングで選択的にハイレベルとされる。

【0027】バンクイネーブルレジスタBRは、バンクBNK0~BNKnに対応して設けられるn+1個の単位バンクイネーブルレジスタを含み、これらの単位バンクイネーブルレジスタのそれぞれは、例えばその検査工程において対応するバンクBNK0~BNKnに冗長ワード線又は冗長ビット線の設定数を超える欠陥ワード線又は欠陥ビットが検出され、救済不能となってアクセス不能な状態となったとき選択的に切断される1個のヒューズと、ダイナミック型RAMがバンクイネーブルレジスタ読み出しモードとされ内部制御信号BRRがハイレベルとされるとき対応するヒューズの切断状態を論理信号に置き換え、バンクイネーブル信号BR0~BRnとして読み出しデータバスRDB0~RDBkに出力するクロックドインバータを含む。これらのバンクイネーブル信号BR0~BRnは、読み出しデータバスRDB0~RDBkからデータ出力バッファOBならびにデータ入出力端子D0~Dkを介して外部のアクセス装置に出力される。

【0028】これにより、この実施例のダイナミック型RAMは、アクセス不能な状態となったバンクを含みつつ、モーストリ・グッド・メモリとして製品出荷することができるとともに、外部のアクセス装置は、バンクイネーブルレジスタ読み出しモードによってダイナミック型RAMの各バンクがアクセス可能な状態にあるかどうかを識別することができる。この結果、ダイナミック型RAMの製品歩留りを高めることができるとともに、これらのダイナミック型RAMを所定数個、チップ状態で組み合わせ、所望の記憶容量を有するメモリモジュールを構成することができる。なお、ダイナミック型RAMのバンクイネーブルレジスタBR及びダイナミック型RAMを組み合わせるメモリモジュールの具体的構成及び動作ならびにその特徴等については、後で詳細に説明する。

(6)

特開2000-30487

9

10

【0029】タイミング発生回路TGは、外部のアクセス装置から起動制御信号として供給されるロウアドレスストローブ信号RASB、カラムアドレスストローブ信号CASBならびにライトイネーブル信号WEBをもとに上記各種内部制御信号等を選択的に形成し、ダイナミック型RAMの各部に供給する。

【0030】図2には、図1のダイナミック型RAMに含まれるバンクイネーブルレジスタBRの一実施例の回路図が示されている。本図をもとに、この実施例のダイナミック型RAMに含まれるバンクイネーブルレジスタBRの10 11 12 13 14 15 16 17 18 19 20 21 22 23 24 25 26 27 28 29 30 31 32 33 34 35 36 37 38 39 40 41 42 43 44 45 46 47 48 49 50 51 52 53 54 55 56 57 58 59 60 61 62 63 64 65 66 67 68 69 70 71 72 73 74 75 76 77 78 79 80 81 82 83 84 85 86 87 88 89 90 91 92 93 94 95 96 97 98 99 100 101 102 103 104 105 106 107 108 109 110 111 112 113 114 115 116 117 118 119 120 121 122 123 124 125 126 127 128 129 130 131 132 133 134 135 136 137 138 139 140 141 142 143 144 145 146 147 148 149 150 151 152 153 154 155 156 157 158 159 160 161 162 163 164 165 166 167 168 169 170 171 172 173 174 175 176 177 178 179 180 181 182 183 184 185 186 187 188 189 190 191 192 193 194 195 196 197 198 199 200 201 202 203 204 205 206 207 208 209 210 211 212 213 214 215 216 217 218 219 220 221 222 223 224 225 226 227 228 229 230 231 232 233 234 235 236 237 238 239 240 241 242 243 244 245 246 247 248 249 250 251 252 253 254 255 256 257 258 259 260 261 262 263 264 265 266 267 268 269 270 271 272 273 274 275 276 277 278 279 280 281 282 283 284 285 286 287 288 289 290 291 292 293 294 295 296 297 298 299 300 301 302 303 304 305 306 307 308 309 310 311 312 313 314 315 316 317 318 319 320 321 322 323 324 325 326 327 328 329 330 331 332 333 334 335 336 337 338 339 340 341 342 343 344 345 346 347 348 349 350 351 352 353 354 355 356 357 358 359 360 361 362 363 364 365 366 367 368 369 370 371 372 373 374 375 376 377 378 379 380 381 382 383 384 385 386 387 388 389 390 391 392 393 394 395 396 397 398 399 400 401 402 403 404 405 406 407 408 409 410 411 412 413 414 415 416 417 418 419 420 421 422 423 424 425 426 427 428 429 430 431 432 433 434 435 436 437 438 439 440 441 442 443 444 445 446 447 448 449 450 451 452 453 454 455 456 457 458 459 460 461 462 463 464 465 466 467 468 469 470 471 472 473 474 475 476 477 478 479 480 481 482 483 484 485 486 487 488 489 490 491 492 493 494 495 496 497 498 499 500 501 502 503 504 505 506 507 508 509 510 511 512 513 514 515 516 517 518 519 520 521 522 523 524 525 526 527 528 529 530 531 532 533 534 535 536 537 538 539 540 541 542 543 544 545 546 547 548 549 550 551 552 553 554 555 556 557 558 559 560 561 562 563 564 565 566 567 568 569 570 571 572 573 574 575 576 577 578 579 580 581 582 583 584 585 586 587 588 589 590 591 592 593 594 595 596 597 598 599 600 601 602 603 604 605 606 607 608 609 610 611 612 613 614 615 616 617 618 619 620 621 622 623 624 625 626 627 628 629 630 631 632 633 634 635 636 637 638 639 640 641 642 643 644 645 646 647 648 649 650 651 652 653 654 655 656 657 658 659 660 661 662 663 664 665 666 667 668 669 670 671 672 673 674 675 676 677 678 679 680 681 682 683 684 685 686 687 688 689 690 691 692 693 694 695 696 697 698 699 700 701 702 703 704 705 706 707 708 709 710 711 712 713 714 715 716 717 718 719 720 721 722 723 724 725 726 727 728 729 730 731 732 733 734 735 736 737 738 739 740 741 742 743 744 745 746 747 748 749 750 751 752 753 754 755 756 757 758 759 760 761 762 763 764 765 766 767 768 769 770 771 772 773 774 775 776 777 778 779 780 781 782 783 784 785 786 787 788 789 790 791 792 793 794 795 796 797 798 799 800 801 802 803 804 805 806 807 808 809 810 811 812 813 814 815 816 817 818 819 820 821 822 823 824 825 826 827 828 829 830 831 832 833 834 835 836 837 838 839 840 841 842 843 844 845 846 847 848 849 850 851 852 853 854 855 856 857 858 859 860 861 862 863 864 865 866 867 868 869 870 871 872 873 874 875 876 877 878 879 880 881 882 883 884 885 886 887 888 889 890 891 892 893 894 895 896 897 898 899 900 901 902 903 904 905 906 907 908 909 910 911 912 913 914 915 916 917 918 919 920 921 922 923 924 925 926 927 928 929 930 931 932 933 934 935 936 937 938 939 940 941 942 943 944 945 946 947 948 949 950 951 952 953 954 955 956 957 958 959 960 961 962 963 964 965 966 967 968 969 970 971 972 973 974 975 976 977 978 979 980 981 982 983 984 985 986 987 988 989 990 991 992 993 994 995 996 997 998 999 1000 1001 1002 1003 1004 1005 1006 1007 1008 1009 1010 1011 1012 1013 1014 1015 1016 1017 1018 1019 1020 1021 1022 1023 1024 1025 1026 1027 1028 1029 1030 1031 1032 1033 1034 1035 1036 1037 1038 1039 1040 1041 1042 1043 1044 1045 1046 1047 1048 1049 1050 1051 1052 1053 1054 1055 1056 1057 1058 1059 1060 1061 1062 1063 1064 1065 1066 1067 1068 1069 1070 1071 1072 1073 1074 1075 1076 1077 1078 1079 1080 1081 1082 1083 1084 1085 1086 1087 1088 1089 1090 1091 1092 1093 1094 1095 1096 1097 1098 1099 1100 1101 1102 1103 1104 1105 1106 1107 1108 1109 1110 1111 1112 1113 1114 1115 1116 1117 1118 1119 1120 1121 1122 1123 1124 1125 1126 1127 1128 1129 1130 1131 1132 1133 1134 1135 1136 1137 1138 1139 1140 1141 1142 1143 1144 1145 1146 1147 1148 1149 1150 1151 1152 1153 1154 1155 1156 1157 1158 1159 1160 1161 1162 1163 1164 1165 1166 1167 1168 1169 1170 1171 1172 1173 1174 1175 1176 1177 1178 1179 1180 1181 1182 1183 1184 1185 1186 1187 1188 1189 1190 1191 1192 1193 1194 1195 1196 1197 1198 1199 1200 1201 1202 1203 1204 1205 1206 1207 1208 1209 1210 1211 1212 1213 1214 1215 1216 1217 1218 1219 1220 1221 1222 1223 1224 1225 1226 1227 1228 1229 1230 1231 1232 1233 1234 1235 1236 1237 1238 1239 1240 1241 1242 1243 1244 1245 1246 1247 1248 1249 1250 1251 1252 1253 1254 1255 1256 1257 1258 1259 1260 1261 1262 1263 1264 1265 1266 1267 1268 1269 1270 1271 1272 1273 1274 1275 1276 1277 1278 1279 1280 1281 1282 1283 1284 1285 1286 1287 1288 1289 1290 1291 1292 1293 1294 1295 1296 1297 1298 1299 1300 1301 1302 1303 1304 1305 1306 1307 1308 1309 1310 1311 1312 1313 1314 1315 1316 1317 1318 1319 1320 1321 1322 1323 1324 1325 1326 1327 1328 1329 1330 1331 1332 1333 1334 1335 1336 1337 1338 1339 1340 1341 1342 1343 1344 1345 1346 1347 1348 1349 1350 1351 1352 1353 1354 1355 1356 1357 1358 1359 1360 1361 1362 1363 1364 1365 1366 1367 1368 1369 1370 1371 1372 1373 1374 1375 1376 1377 1378 1379 1380 1381 1382 1383 1384 1385 1386 1387 1388 1389 1390 1391 1392 1393 1394 1395 1396 1397 1398 1399 1400 1401 1402 1403 1404 1405 1406 1407 1408 1409 1410 1411 1412 1413 1414 1415 1416 1417 1418 1419 1420 1421 1422 1423 1424 1425 1426 1427 1428 1429 1430 1431 1432 1433 1434 1435 1436 1437 1438 1439 1440 1441 1442 1443 1444 1445 1446 1447 1448 1449 1450 1451 1452 1453 1454 1455 1456 1457 1458 1459 1460 1461 1462 1463 1464 1465 1466 1467 1468 1469 1470 1471 1472 1473 1474 1475 1476 1477 1478 1479 1480 1481 1482 1483 1484 1485 1486 1487 1488 1489 1490 1491 1492 1493 1494 1495 1496 1497 1498 1499 1500 1501 1502 1503 1504 1505 1506 1507 1508 1509 1510 1511 1512 1513 1514 1515 1516 1517 1518 1519 1520 1521 1522 1523 1524 1525 1526 1527 1528 1529 1530 1531 1532 1533 1534 1535 1536 1537 1538 1539 1540 1541 1542 1543 1544 1545 1546 1547 1548 1549 1550 1551 1552 1553 1554 1555 1556 1557 1558 1559 1560 1561 1562 1563 1564 1565 1566 1567 1568 1569 1570 1571 1572 1573 1574 1575 1576 1577 1578 1579 1580 1581 1582 1583 1584 1585 1586 1587 1588 1589 1590 1591 1592 1593 1594 1595 1596 1597 1598 1599 1600 1601 1602 1603 1604 1605 1606 1607 1608 1609 1610 1611 1612 1613 1614 1615 1616 1617 1618 1619 1620 1621 1622 1623 1624 1625 1626 1627 1628 1629 1630 1631 1632 1633 1634 1635 1636 1637 1638 1639 1640 1641 1642 1643 1644 1645 1646 1647 1648 1649 1650 1651 1652 1653 1654 1655 1656 1657 1658 1659 1660 1661 1662 1663 1664 1665 1666 1667 1668 1669 1670 1671 1672 1673 1674 1675 1676 1677 1678 1679 1680 1681 1682 1683 1684 1685 1686 1687 1688 1689 1690 1691 1692 1693 1694 1695 1696 1697 1698 1699 1700 1701 1702 1703 1704 1705 1706 1707 1708 1709 1710 1711 1712 1713 1714 1715 1716 1717 1718 1719 1720 1721 1722 1723 1724 1725 1726 1727 1728 1729 1730 1731 1732 1733 1734 1735 1736 1737 1738 1739 1740 1741 1742 1743 1744 1745 1746 1747 1748 1749 1750 1751 1752 1753 1754 1755 1756 1757 1758 1759 1760 1761 1762 1763 1764 1765 1766 1767 1768 1769 1770 1771 1772 1773 1774 1775 1776 1777 1778 1779 1780 1781 1782 1783 1784 1785 1786 1787 1788 1789 1790 1791 1792 1793 1794 1795 1796 1797 1798 1799 1800 1801 1802 1803 1804 1805 1806 1807 1808 1809 1810 1811 1812 1813 1814 1815 1816 1817 1818 1819 1820 1821 1822 1823 1824 1825 1826 1827 1828 1829 1830 1831 1832 1833 1834 1835 1836 1837 1838 1839 1840 1841 1842 1843 1844 1845 1846 1847 1848 1849 1850 1851 1852 1853 1854 1855 1856 1857 1858 1859 1860 1861 1862 1863 1864 1865 1866 1867 1868 1869 1870 1871 1872 1873 1874 1875 1876 1877 1878 1879 1880 1881 1882 1883 1884 1885 1886 1887 1888 1889 1890 1891 1892 1893 1894 1895 1896 1897 1898 1899 1900 1901 1902 1903 1904 1905 1906 1907 1908 1909 1910 1911 1912 1913 1914 1915 1916 1917 1918 1919 1920 1921 1922 1923 1924 1925 1926 1927 1928 1929 1930 1931 1932 1933 1934 1935 1936 1937 1938 1939 1940 1941 1942 1943 1944 1945 1946 1947 1948 1949 1950 1951 1952 1953 1954 1955 1956 1957 1958 1959 1960 1961 1962 1963 1964 1965 1966 1967 1968 1969 1970 1971 1972 1973 1974 1975 1976 1977 1978 1979 1980 1981 1982 1983 1984 1985 1986 1987 1988 1989 1990 1991 1992 1993 1994 1995 1996 1997 1998 1999 2000 2001 2002 2003 2004 2005 2006 2007 2008 2009 2010 2011 2012 2013 2014 2015 2016 2017 2018 2019 2020 2021 2022 2023 2024 2025 2026 2027 2028 2029 2030 2031 2032 2033 2034 2035 2036 2037 2038 2039 2040 2041 2042 2043 2044 2045 2046 2047 2048 2049 2050 2051 2052 2053 2054 2055 2056 2057 2058 2059 2060 2061 2062 2063 2064 2065 2066 2067 2068 2069 2070 2071 2072 2073 2074 2075 2076 2077 2078 2079 2080 2081 2082 2083 2084 2085 2086 2087 2088 2089 2090 2091 2092 2093 2094 2095 2096 2097 2098 2099 2100 2101 2102 2103 2104 2105 2106 2107 2108 2109 2110 2111 2112 2113 2114 2115 2116 2117 2118 2119 2120 2121 2122 2123 2124 2125 2126 2127 2128 2129 2130 2131 2132 2133 2134 2135 2136 2137 2138 2139 2140 2141 2142 2143 2144 2145 2146 2147 2148 2149 2150 2151 2152 2153 2154 2155 2156 2157 2158 2159 2160 2161 2162 2163 2164 2165 2166 2167 2168 2169 2170 2171 2172 2173 2174 2175 2176 2177 2178 2179 2180 2181 2182 2183 2184 2185 2186 2187 2188 2189 2190 2191 2192 2193 2194 2195 2196 2197 2198 2199 2200 2201 2202 2203 2204 2205 2206 2207 2208 2209 2210 2211 2212 2213 2214 2215 2216 2217 2218 2219 2220 2221 2222 2223 2224 2225 2226 2227 2228 2229 2230 2231 2232 2233 2234 2235 2236 2237 2238 2239 2240 2241 2242 2243 2244 2245 2246 2247 2248 2249 2250 2251 2252 2253 2254 2255 2256 2257 2258 2259 2260 2261 2262 2263 2264 2265 2266 2267 2268 2269 2270 2271 2272 2273 2274 2275 2276 2277 2278 2279 2280 2281 2282 2283 2284 2285 2286 2287 2288 2289 2290 2291 2292 2293 2294 2295 2296 2297 2298 2299 2300 2301 2302 2303 2304 2305 2306 2307 2308 2309 2310 2311 2312 2313 2314 2315 2316 2317 2318 2319 2320 2321 2322 2323 2324 2325 2326 2327 2328 2329 2330 2331 2332 2333 2334 2335 2336 2337 2338 2339 2340 2341 2342 2343 2344 2345 2346 2347 2348 2349 2350 2351 2352 2353 2354 2355 2356 2357 2358 2359 2360 2361 2362 2363 2364 2365 2366 2367 2368 2369 2370 2371 2372 2373 2374 2375 2376 2377 2378 2379 2380 2381 2382 2383 2384 2385 2386 2387 2388 2389 2390 2391 2392 2393 2394 2395 2396 2397 2398 2399 2400 2401 2402 2403 2404 2405 2406 2407 2408 2409 2410 2411 2412 2413 2414 2415 2416 2417 2418 2419 2420 2421 2422 2423 2424 2425 2426 2427 2428 2429 2430 2431 2432 2433 2434 2435 2436 2437 2438 2439 2440 2441 2442 2443 2444 2445 2446 2447 2448 2449 2450 2451 2452 2453 2454 2455 2456 2457 2458 2459 2460 2461 2462 2463 2464 2465 2466 2467 2468 2469 2470 2471 2472 2473 2474 2475 2476 2477 2478 2479 2480 2481 2482 2483 2484 2485 2486 2487 2488 2489 2490 2491 2492 2493 2494 2495 2496 2497 2498 2499 2500 2501 2502 2503 2504 2505 2506 2507 2508 2509 2510 2511 2512 2513 2514 2515 2516 2517 2518 2519 2520 2521 2522 2523 2524 2525 2526 2527 2528 2529 2530 2531 2532 2533 2534 2535 2536 2537 2538 2539 2540 2541 2542 2543 2544 2545 2546 2547 2548 2549 2550 2551 2552 2553 2554 2555 2556 2557 2558 2559 2560 2561 2562 2563 2564 2565 2566 2567 2568 2569 2570 2571 2572 2573 2574 2575 2576 2577 2578 2579 2580 2581 2582 2583 2584 2585 2586 2587 2588 2589 2590 2591 2592 2593 2594 2595 2596 2597 2598 2599 2600 2601 2602 2603 2604 2605 2606 2607 2608 2609 2

(7)

特開2000-30487

11

ラMCTLとを備える。このうち、メモリコントローラMCTLには、前段の図示されない中央処理装置等からデータバスDB0~DBkを介してk+1ビットのデータDB0~DBkが入力又は出力される。また、コントロールバスとなるアドレスストローブ信号線ASB及びリードライト信号線R/WBを介してアドレスストローブ信号ASB及びリードライト信号R/WBがそれぞれ供給され、アドレスバスAB0~ABpを介してp+1ビットのアドレス信号AB0~ABpが供給される。

【0039】一方、ダイナミック型RAM(DRAM0~DRAMm)のデータ入出力端子D0~Dkには、メモリコントローラMCTLからk+1ビットのデータが共通に入力又は出力され、そのアドレス入力端子A0~A_jには、j+1ビットのアドレス信号A0~A_jが共通に供給される。また、各ダイナミック型RAMの外部端子RASiB及びCASiBには、メモリコントローラMCTLから対応するロウアドレスストローブ信号RASOB~RASmBならびにカラムアドレスストローブ信号CASOB~CASmBがそれぞれ供給され、その外部端子WEBには、ライトイネーブル信号WEBが共通に供給される。言うまでもなく、ダイナミック型RAM(DRAM0~DRAMm)は、対応するロウアドレスストローブ信号RASOB~RASmBあるいはカラムアドレスストローブ信号CASOB~CASmBに従って選択的に指定され、活性状態とされる。

【0040】この実施例において、メモリモジュールを構成するダイナミック型RAM(DRAM0~DRAMm)は、前述のように、n+1個のバンクBNK0~BNKnをそれぞれ備え、その全部又はいくつかは、例えば冗長ワード線又は冗長ビット線の設置数を超える欠陥ワード線又は欠陥ビットが検出されアクセス不能な状態となったバンクを含むモーストリ・グッド・メモリとされる。また、各ダイナミック型RAMは、バンクBNK0~BNKnのそれぞれがアクセス可能な状態にあるかどうかを記憶するバンクイネーブルレジスタBRを備え、このバンクイネーブルレジスタBRの記憶内容を読み出し、データ入出力端子D0~Dkから出力しうるバンクイネーブルレジスタ読み出しモードを有する。

【0041】このため、メモリモジュールのメモリコントローラMCTLは、まずその電源投入当初、ダイナミック型RAM(DRAM0~DRAMm)をバンクイネーブルレジスタ読み出しモードでアクセスし、各ダイナミック型RAMのどのバンクがアクセス可能な状態であるかを判定する。また、これらの情報をもとに、アドレス信号AB0~ABpで指定されるアドレス空間を各ダイナミック型RAMの各バンクに順次無駄なく割り当て、ロウアドレスストローブ信号RASOB~RASmBならびにカラムアドレスストローブ信号CASOB~CASmBと対応付けべく図示されないアドレステーブルに書き込む。そして、前段の中央処理装置によりア

12

ドレスストローブ信号ASBがロウレベルとされ、かつアドレス信号AB0~ABpの上位所定ビットとして入力されるデバイスコードがメモリモジュールに与えられた組み合わせとされることで選択的にダイナミック型RAM(DRAM0~DRAMm)に対する通常アクセスを開始し、リードライト信号R/WBに従って選択的に読み出し又は書き込み動作を実行する。

【0042】以上のように、この実施例のメモリモジュールは、そのバンクBNK0~BNKnのいずれかがアクセス不能な状態とされモーストリ・グッド・メモリとして製品出荷されたダイナミック型RAM(DRAM0~DRAMm)をチップ状態で組み合わせで構成されるにもかかわらず、各ダイナミック型RAMの各バンクには、バンクイネーブルレジスタ読み出しモードによりそのアクセス可否状態を読み出したメモリコントローラMCTLによって、無駄なくアドレス空間の割り当てが行われる。この結果、ダイナミック型RAMの製品歩留りを高めることができるとともに、モーストリ・グッド・メモリとして製品出荷されたダイナミック型RAMを任意なアドレス割り当てで組み合わせ、所望の記憶容量を有するメモリモジュールを容易に構成することができるものである。

【0043】図4には、この発明が適用されたダイナミック型RAMの第2の実施例のブロック図が示され、図5には、図4のダイナミック型RAMに含まれるバンクイネーブルレジスタBRの一実施例の回路図が示されている。なお、この実施例のダイナミック型RAMは、前記図1及び図2の実施例を基本的に踏襲するものであるため、これと異なる部分についてのみ説明を追加する。

【0044】図4において、この実施例のダイナミック型RAMは、n+1個のバンクBNK0~BNKnと、バンクイネーブルレジスタBR及びバンク選択回路BSとを備える。このうち、バンクイネーブルレジスタBRの一方の出力信号は、バンクイネーブル信号BR0~BRnとして、読み出しデータバスRDB0~RDBkを介してデータ出力バッファOBに供給され、その他方の出力信号は、バンクイネーブル信号BE0~BEnとしてバンク選択回路BSに供給される。バンクイネーブルレジスタBRには、タイミング発生回路TGから内部制御信号BRRが供給され、バンク選択回路BSには、バンクアドレスレジスタBAから所定ビットのバンクアドレス信号が供給される。

【0045】この実施例において、バンクイネーブルレジスタBRは、図5に示されるように、バンクBNK0~BNKnに対応して設けられるn+1個の単位バンクイネーブルレジスタUBR0~UBRnを備え、これらの単位バンクイネーブルレジスタのそれぞれは、図の単位バンクイネーブルレジスタUBR0に代表して示されるように、その入力端子がインバータV1の出力端子に結合されたインバータV3を含む。このインバータV3

(8)

特開2000-30487

13

の出力信号は、バンクイネーブル信号 $BE_0 \sim BE_n$ としてバンク選択回路BSに供給される。これにより、バンクイネーブル信号 $BE_0 \sim BE_n$ は、対応するバンク $BNK_0 \sim BNK_n$ がアクセス可能な状態にあり対応するヒューズF1が切断状態にないときハイレベルとされ、対応するバンク $BNK_0 \sim BNK_n$ がアクセス不能な状態にあり対応するヒューズF1が切断状態にあるときロウレベルとされるものとなる。

【0046】一方、バンク選択回路BSは、バンクアドレスレジスタBAから供給される内部バンクアドレス信号をデコードして、バンク選択信号 $BS_0 \sim BS_n$ の対応するビットを択一的にハイレベルとし、バンク $BNK_0 \sim BNK_n$ は、対応するバンク選択信号 $BS_0 \sim BS_n$ の択一的なハイレベルを受けて選択的に活性状態とされる。しかし、この実施例の場合、バンク選択回路BSは、対応するバンクイネーブル信号 $BE_0 \sim BE_n$ がハイレベルであることを条件に、言い換えるならば内部バンクアドレス信号により指定されるバンクがアクセス可能な状態であることを条件に、選択的に対応するバンク選択信号 $BS_0 \sim BS_n$ をハイレベルとする。この結果、この実施例では、前記図1及び図2の実施例と同様な作用効果を得つつ、外部のアクセス装置によってアクセス不能なバンクが指定された場合でも該バンクに対するアクセスを選択的に禁止し、これによってダイナミック型RAM及びメモリモジュールの信頼性を高めることができる。

【0047】以上の実施例から得られる作用効果は、下記の通りである。すなわち、

(1) 欠陥救済用の冗長素子をそれぞれ含む多数のバンクを備えるダイナミック型RAM等に、各バンクが例えば冗長素子の設置数より多い欠陥素子が検出され救済しきれずにアクセス不能な状態となったことを記憶するバンクイネーブルレジスタを設けるとともに、アクセス不能となったバンクを含むダイナミック型RAM等をモストリ・グッド・メモリとして製品出荷することで、アクセス不能となったバンクを含むダイナミック型RAM等を製品として出荷し、その製品歩留りを高めることができるという効果が得られる。

【0048】(2) 上記(1)項により、アクセス不能となったバンクを含むダイナミック型RAM等を所定数個、チップ状態で組み合わせてメモリモジュールを構成し、このメモリモジュールに、各ダイナミック型RAM等のバンクイネーブルレジスタの記憶内容を読み出し、各ダイナミック型RAM等にアドレス割り当てを行うメモリコントローラを設けることで、アクセス不能となったバンクを含むダイナミック型RAM等を任意なアドレス割り当てで組み合わせ、所望の記憶容量を有するメモリモジュールを容易に構成できるという効果が得られる。

【0049】(3) 上記(1)項及び(2)項におい

14

て、上記ダイナミック型RAM等に、バンクイネーブルレジスタの記憶内容に従って各バンクに対するアクセスを選択的に禁止するバンク選択回路を設けることで、ダイナミック型RAM及びメモリモジュールの信頼性を高めることができるという効果が得られる。

【0050】以上、本発明者によってなされた発明を実施例に基づき具体的に説明したが、この発明は、上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。例えば、図1及び図4において、バンク $BNK_0 \sim BNK_n$ のメモリアレイMARYは、前述のように、実際にはシェアドセンス方式を採り、その周辺回路を含めて複数のサブメモリアレイに分割される。また、メモリアレイMARYは、必ずしも冗長ワード線及び冗長ビット線を含むことを必須条件とはしないし、バンク $BNK_0 \sim BNK_n$ がアクセス不能とされる理由も、冗長素子による欠陥救済が不能になった場合のみに限定されない。さらに、ロウアドレスデコーダRD又はワード線駆動回路が指定されたワード線を選択状態とし続けるためのラッチ機能を持ち、実質的なロウアドレスの保持手段として作用する場合、バンクごとにロウアドレスレジスタRAを設ける必要はない。ダイナミック型RAMのブロック構成は種々の実施形態を採りうるし、起動制御信号、アドレス信号ならびに内部制御信号等の名称及び組み合わせならびにその有効レベル等も、この実施例による制約を受けない。

【0051】図2及び図5において、バンクイネーブルレジスタBRの単位バンクイネーブルレジスタ $UBR_0 \sim UBR_n$ に実質的な記憶素子として設けられるヒューズF1は、例えばPROM(プログラム可能なリードオンリメモリ)やEEPROM(電気的に消去・プログラム可能なリードオンリメモリ)等に置き換えることができるし、各単位バンクイネーブルレジスタの具体的構成及び電源電圧の極性ならびにMOSFETの導電型等は、種々の実施形態をとりうる。

【0052】図3において、ダイナミック型RAM(DRAM $0 \sim DRAM_m$)のバンク $BNK_0 \sim BNK_n$ に対するアドレス割り当ては、例えば中央処理装置によって行い、メモリモジュールのメモリコントローラMCTLのアドレステーブルに書き込む方法をとることができる。メモリモジュールのブロック構成ならびにバス構成等はほんの一例であって、本実施例の主旨に制約を与えない。

【0053】以上の説明では、主として本発明者によってなされた発明をその背景となった利用分野であるダイナミック型RAMならびに複数のダイナミック型RAMを組み合わせたメモリモジュールに適用した場合について説明したが、それに限定されるものではなく、例えば、ダイナミック型RAMを基本構成とするシンクロナスDRAM等の各種メモリ集積回路装置や、このような

(9)

特開2000-30487

15

メモリ集積回路装置を含む論理集積回路装置ならびにコンピュータシステム等にも適用できる。この発明は、少なくとも複数のバンクを備える半導体記憶装置ならびにこのような半導体記憶装置を含む装置又はシステムに広く適用できる。

【0054】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。すなわち、欠陥救済用の冗長素子をそれぞれ含む多数のバンクを備えるダイナミック型RAM等に、各バンクが例えば冗長素子の設置数より多い欠陥素子が検出され、救済不能となってアクセス不能な状態となったことを記憶するバンクイネーブルレジスタを設けるとともに、アクセス不能となったバンクを含むダイナミック型RAM等を、モーストリ・グッド・メモリとして製品出荷する。また、このようなダイナミック型RAM等の所定数個を、チップ状態で組み合わせてメモリモジュールを構成し、このメモリモジュールに各ダイナミック型RAM等のバンクイネーブルレジスタの記憶内容を読み出し、各バンクにアドレス割り当てを行うメモリコントローラを設ける。さらに、各ダイナミック型RAM等に、バンクイネーブルレジスタの記憶内容に従って各バンクに対するアクセスを選択的に禁止するバンク選択回路を設ける。これにより、アクセス不能となったバンクを含むダイナミック型RAM等を製品出荷し、ダイナミック型RAM等の製品歩留りを高めることができる。また、このようなダイナミック型RAM等を任意なアドレス割り当てで組み合わせ、所望の記憶容量を有するメモリモジュールを容易に構成できるとともに、ダイナミック型RAM等及びメモリモジュールの信頼性を高

【図面の簡単な説明】

【図1】この発明が適用されたダイナミック型RAMの第1の実施例を示すブロック図である。

【図2】図1のダイナミック型RAMに含まれるバンクイネーブルレジスタの一実施例を示す回路図である。

16

【図3】図1のダイナミック型RAMを含むメモリモジュールの一実施例を示すブロック図である。

【図4】この発明が適用されたダイナミック型RAMの第2の実施例を示すブロック図である。

【図5】図4のダイナミック型RAMに含まれるバンクイネーブルレジスタの一実施例を示す回路図である。

【符号の説明】

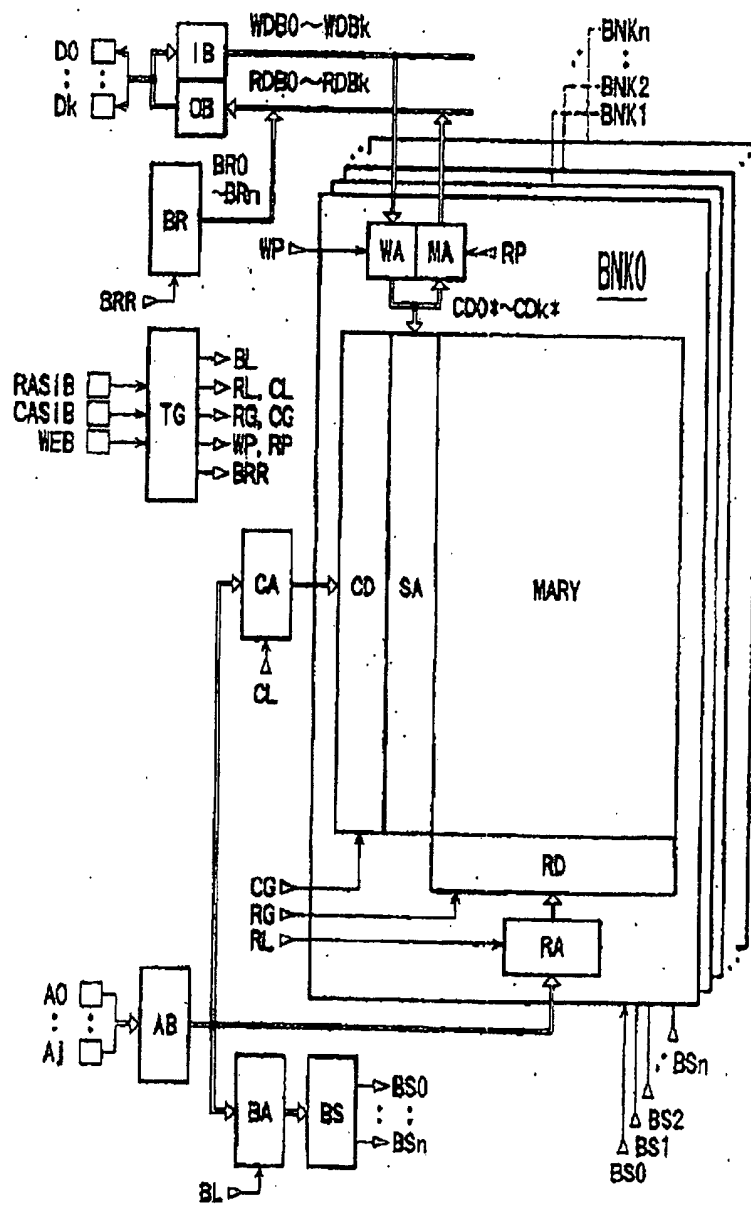
BNK0~BNK_n……バンク、MARY……メモリアレイ、RD……ロウアドレスデコーダ、RA……ロウアドレスレジスタ、SA……センスアンプ、WA……ライトアンプ、MA……メインアンプ、CDO*~CDk*……相補共通データ線、WDB0~WDBk……書き込みデータバス、RDB0~RDBk……読み出しデータバス、CD……カラムアドレスデコーダ、CA……カラムアドレスレジスタ、BA……バンクアドレスレジスタ、BS……バンク選択回路、BS0~BS_n……バンク選択信号、AB……アドレスバッファ、A0~A_i……アドレス信号又はその入力端子、BR……バンクイネーブルレジスタ、BR0~BR_n……バンクイネーブル信号、IB……データ入力バッファ、OB……データ出力バッファ、DO~Dk……入力又は出力データあるいはその入出力端子、TG……タイミング発生回路、RASIB……ロウアドレスストローブ信号又はその入力端子、CASIB……カラムアドレスストローブ信号又はその入力端子、WEB……ライトイネーブル信号又はその入力端子、UBR0~UBR_n……単位バンクイネーブルレジスタ、F1……ヒューズ、V1~V3……インバータ、G1……クロックドインバータ、N1~N2……NチャンネルMOSFET、MCTL……メモリコントローラ、DRAM0~DRAM_m……ダイナミック型RAM、DB0~DBk……データバス、ASB……アドレスストローブ信号、R/WB……リードライト信号、AB0~AB_p……アドレスバス、RASOB~RAS_mB……ロウアドレスストローブ信号、CASOB~CAS_mB……カラムアドレスストローブ信号、BE0~BE_n……バンクイネーブル信号。

(10)

特開2000-30487

【図1】

図1 ダイナミック型RAMのブロック構成 (実施例1)

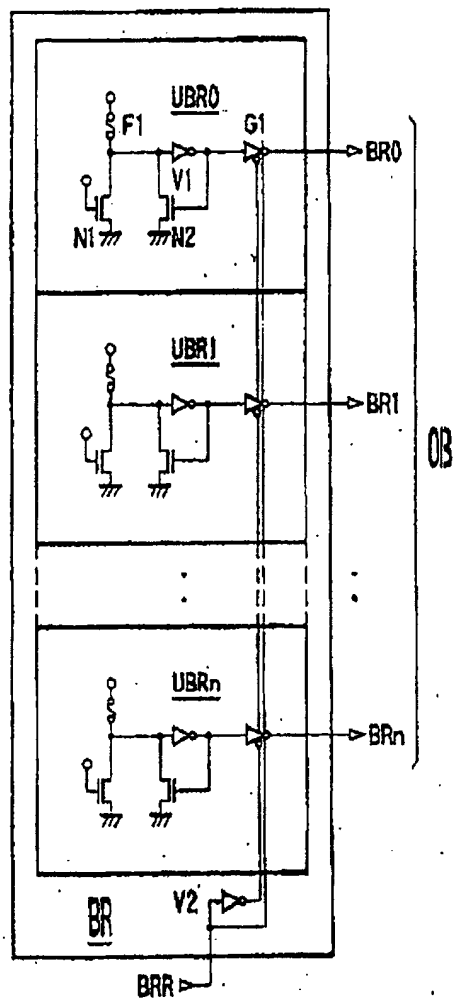


(11)

特開2000-30487

【図2】

図2 バンクイネーブルレジスタの回路構成 (実施例1)

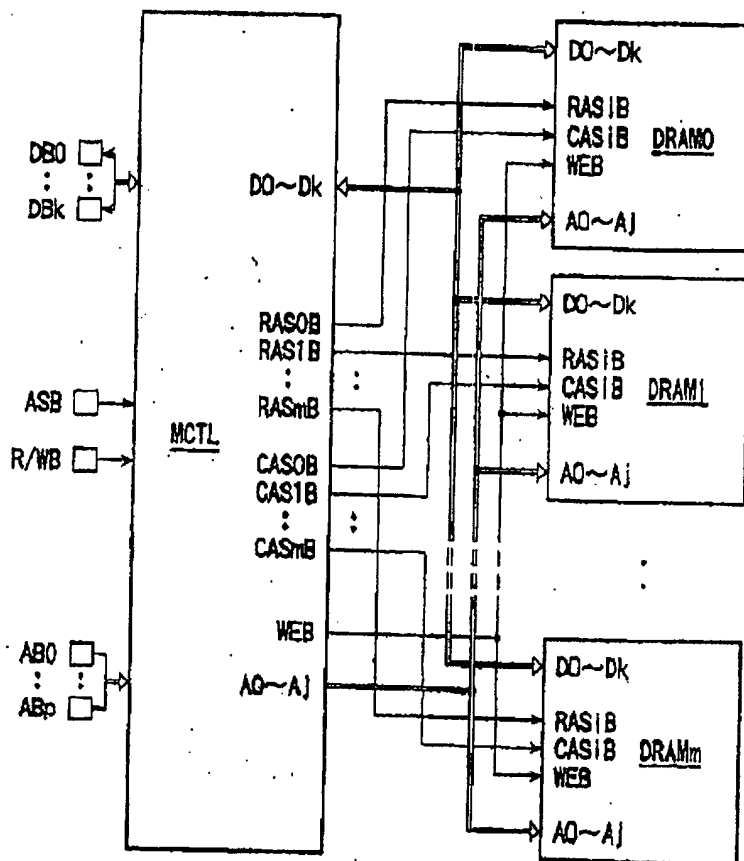


(12)

特開2000-30487

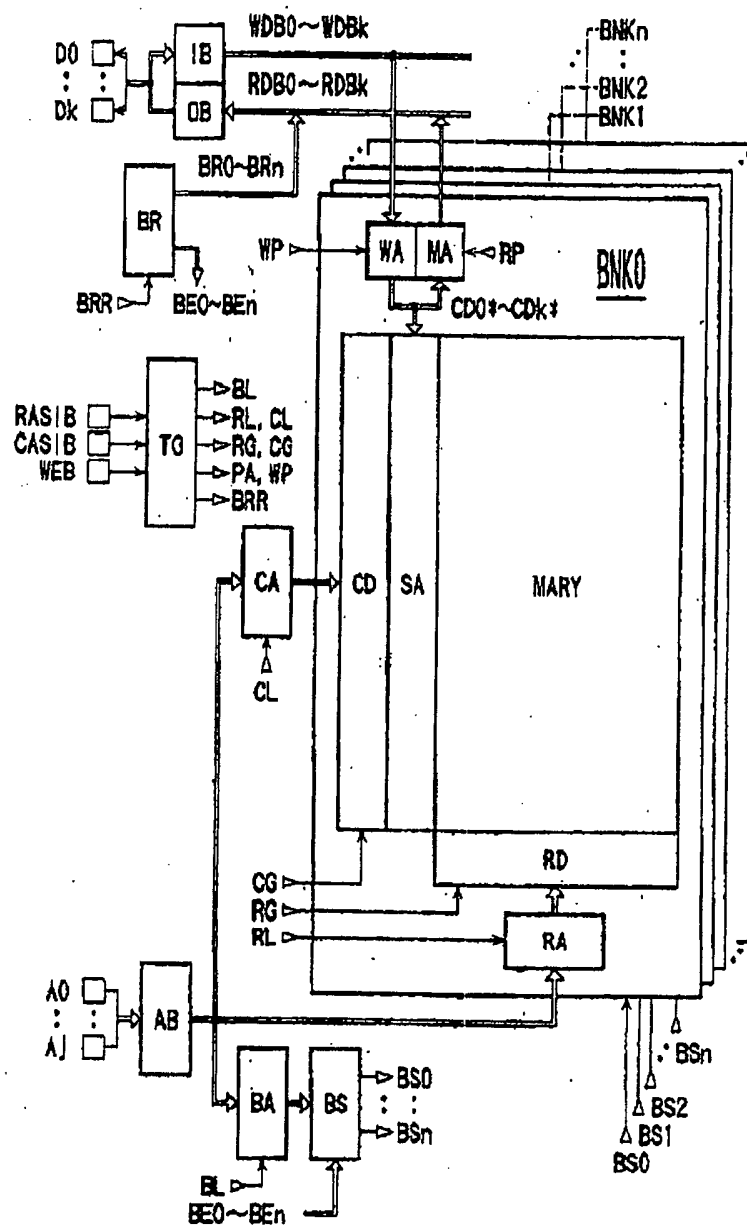
【図3】

図3 メモリモジュールのブロック構成



特開 2000-30487

図4 ダイナミック型RAMのブロック構成（実施例2）

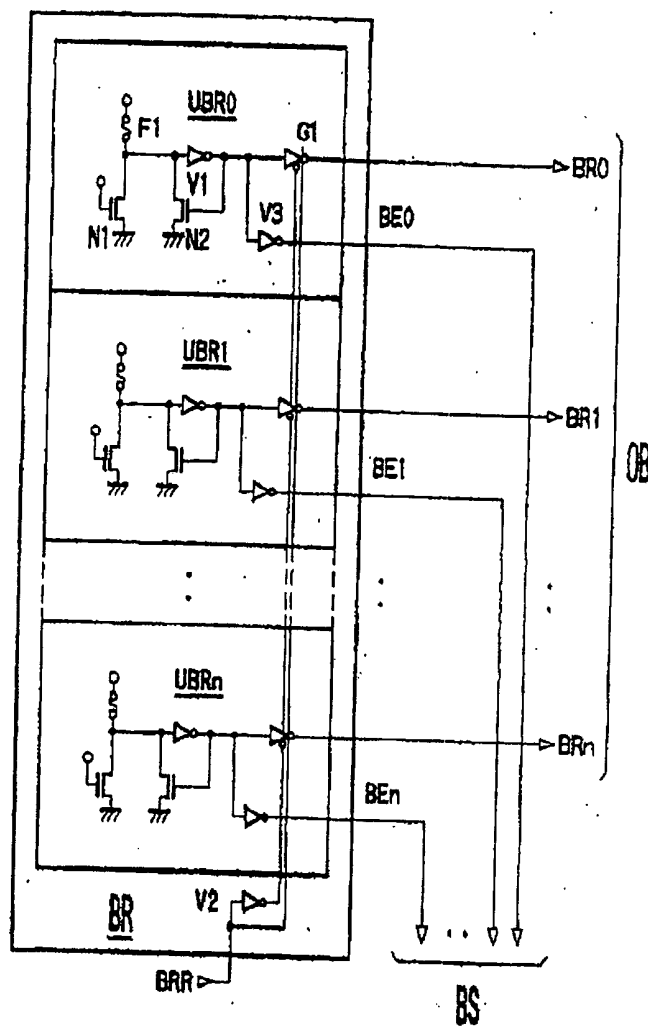


(14)

特開2000-30487

【図5】

図5 バンクイネーブルレジスタの回路構成 (実施例2)



フロントページの続き

(72)発明者 伊藤 豊

東京都青梅市新町六丁目16番地の3 株式

会社日立製作所デバイス開発センタ内

Fターム(参考) 5B024 AA15 BA18 BA29 CA07 CA15

CA21

5F083 AD00 LA06 ZA10

5L106 AA01 CC01 CC04 CC21 CC31

GG05 GG07